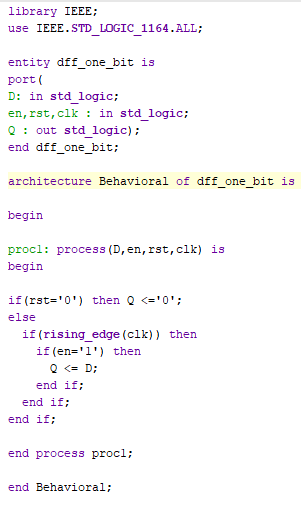
**Ομάδα 13 :**

**Γρίβας Αριστοτέλης – el19889**

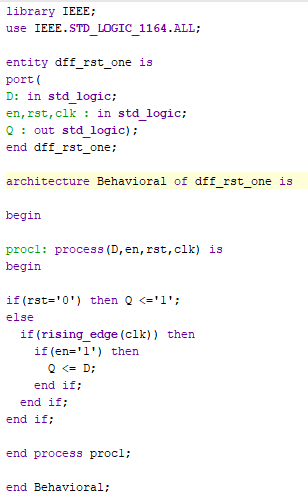
**Αυγουστής Μολτσάνοβ Εμίλ – el17064**

**Ψηφιακά Συστήματα VLSI-6η εργαστηριακή άσκηση**

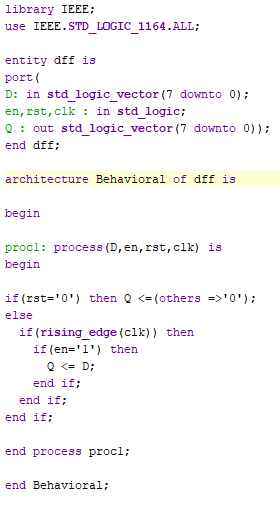
Kώδικας VHDL για το d flip flop 1ου είδους



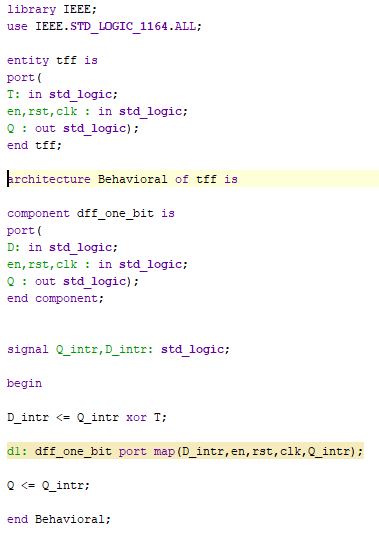
Kώδικας VHDL για το d flip flop 2ου είδους



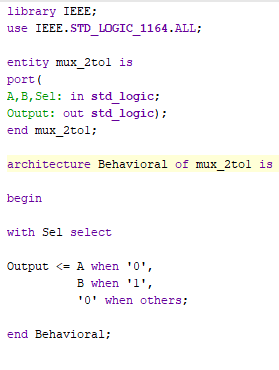
Kώδικας VHDL για το d flip flop των 8bit



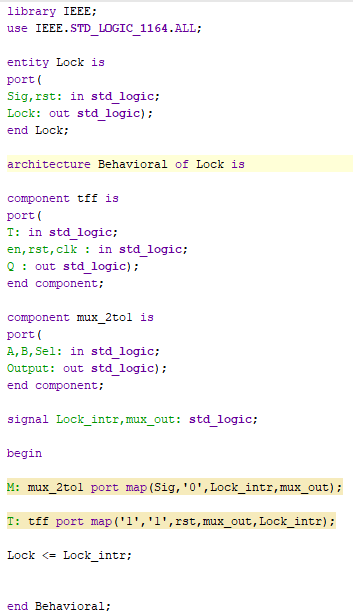
Kώδικας VHDL για το t flip flop



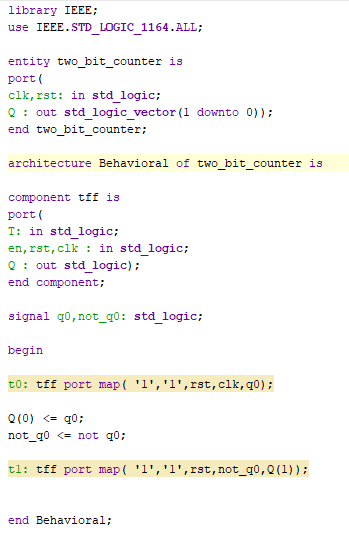
Kώδικας VHDL για τον mux



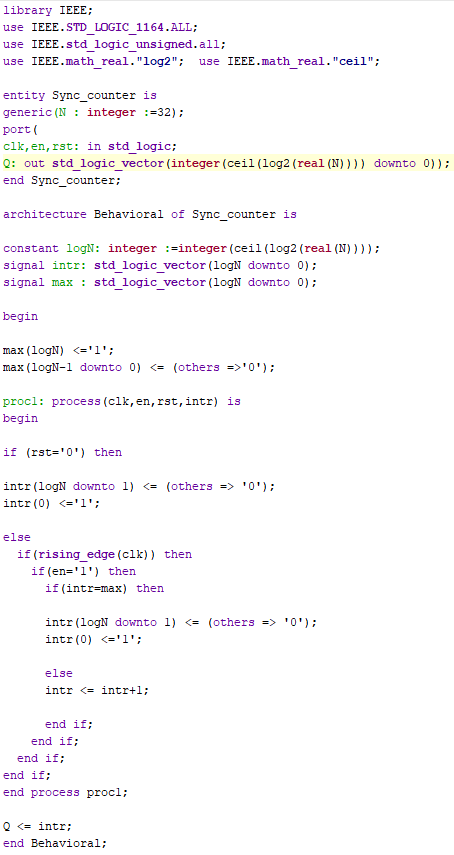
Kώδικας VHDL για το lock



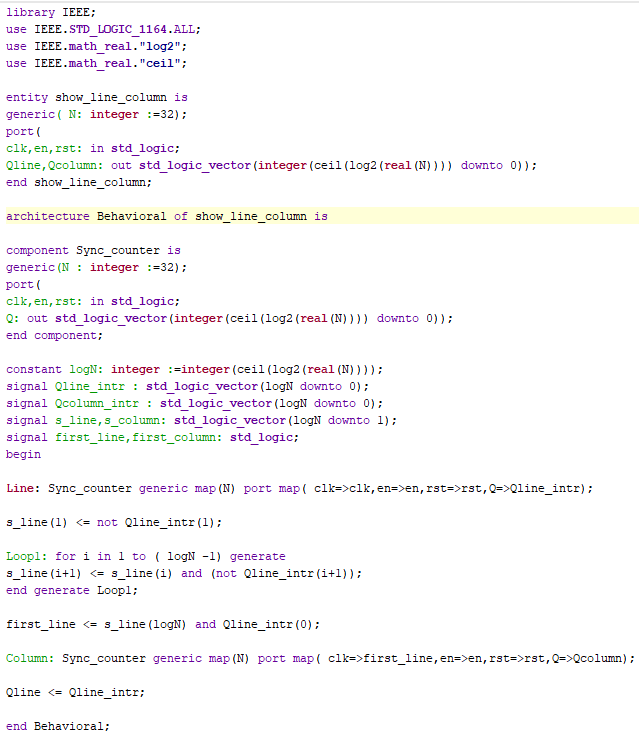
Kώδικας VHDL για τον 2bit counter



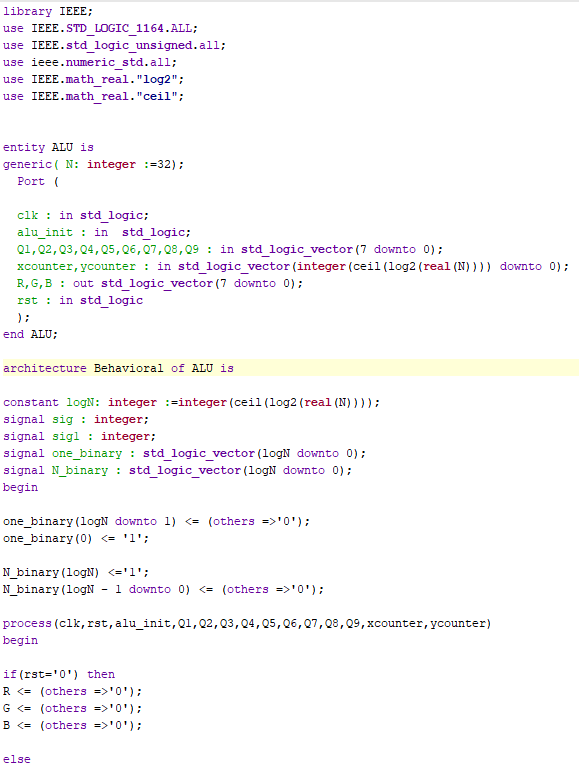
Kώδικας VHDL για τον (N+1)bit counter

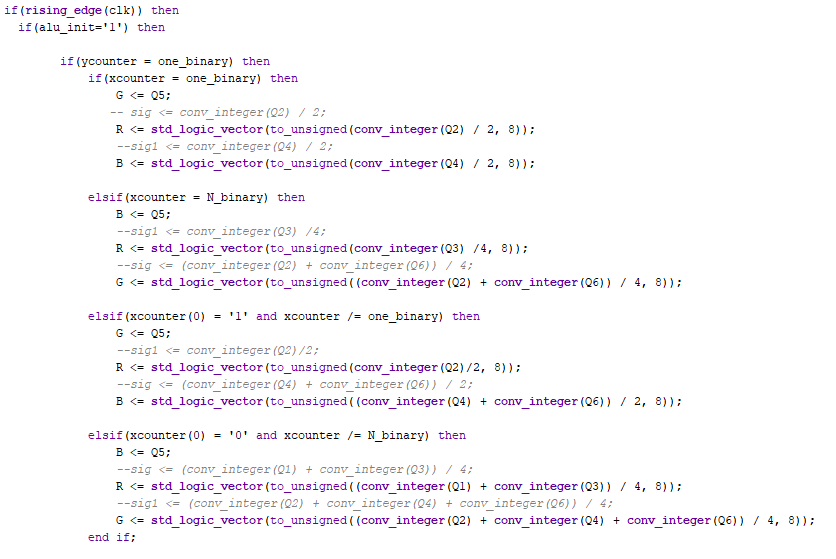


Kώδικας VHDL όπου δύο (N+1) bit μετρητές συνδέονται προκειμένου να φτιαχτεί ένας μετρητής γραμμών,στηλών



Kώδικας VHDL για την ALU ( η μονάδα αυτή έχει όλα τα απαραίτητα if statements ,ώστε να ξέρει σε ποιο pixel βρισκόμαστε και πως να υπολογίζει κάθε φορά τις συνιστώσες R,G,B) :



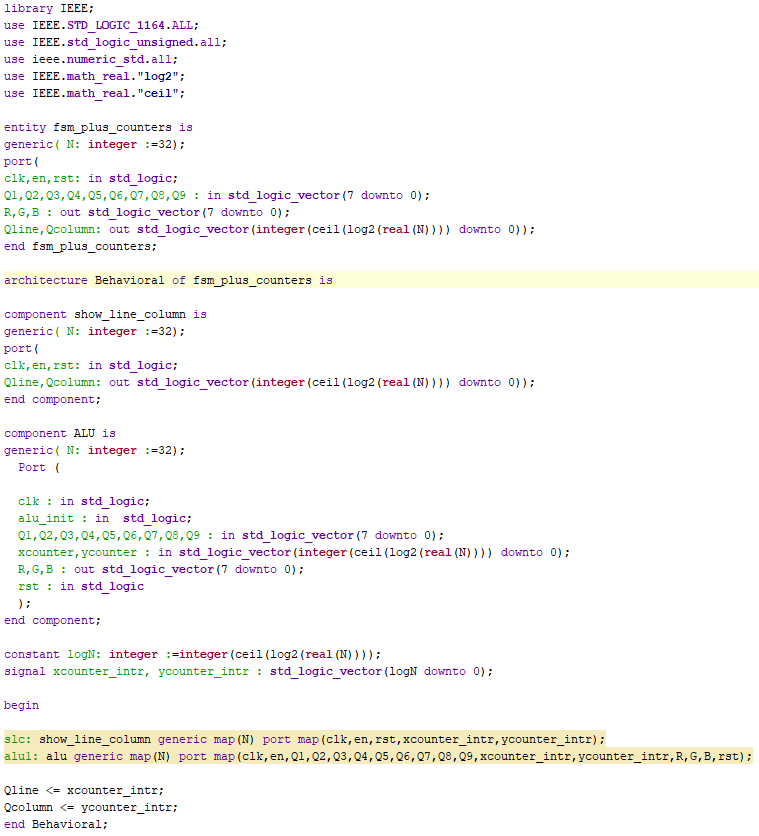




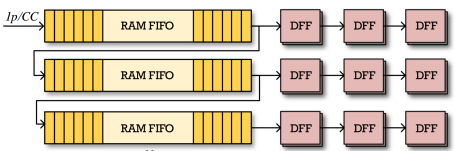


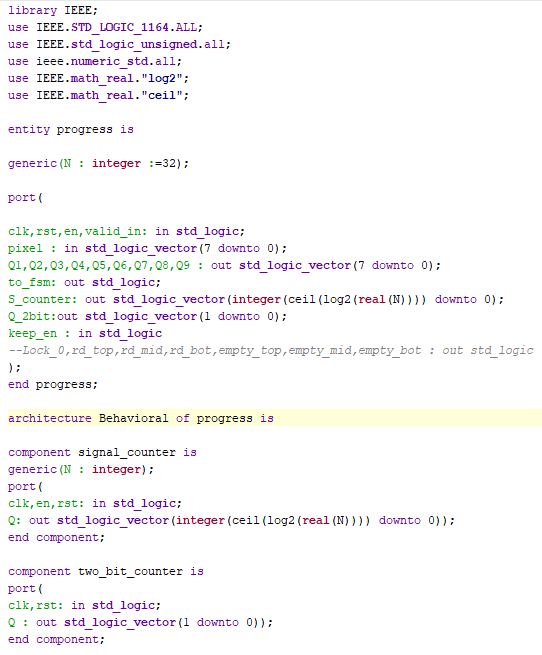


Kώδικας VHDL για την ALU σε συνδέση με τον μετρητή γραμμών,στηλών (μονάδα fsm\_plus\_counters)



Kώδικας VHDL του παρακάτω τμήματος του κυκλώματος (μονάδα progress)



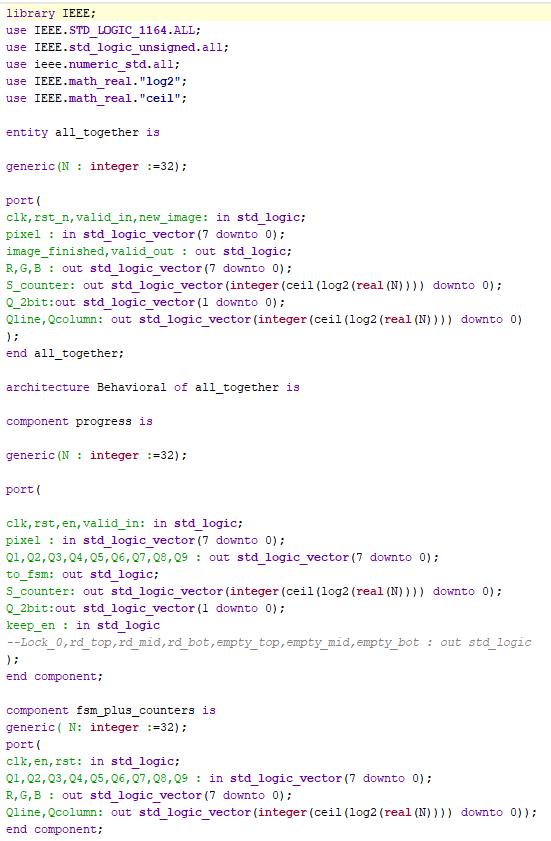




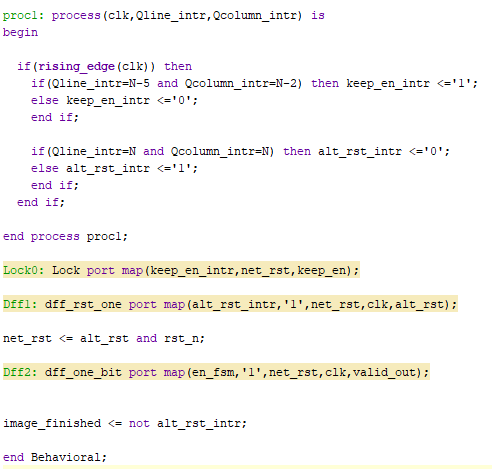




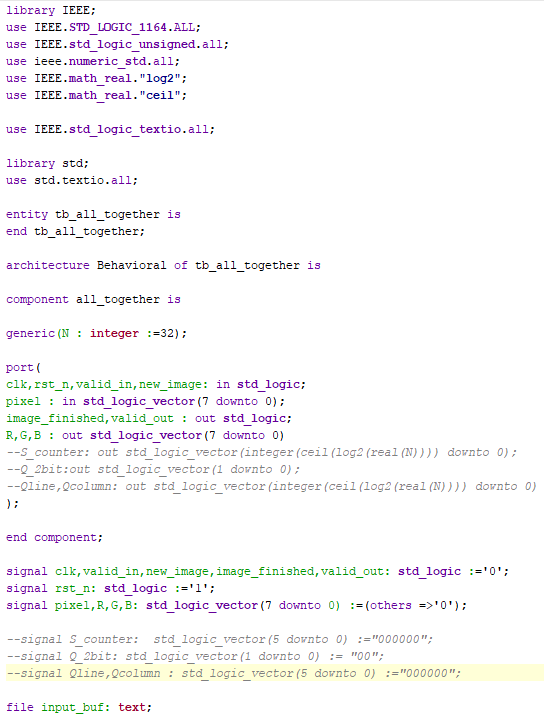
Kώδικας VHDL όπου το τμήμα (μετρητής γραμμών στηλών+ALU) συνδέεται με το τμήμα ( FIFO+flip flops), προκειμένου να παραχθεί το τελικό κύκλωμα του φίλτρου (all\_together)

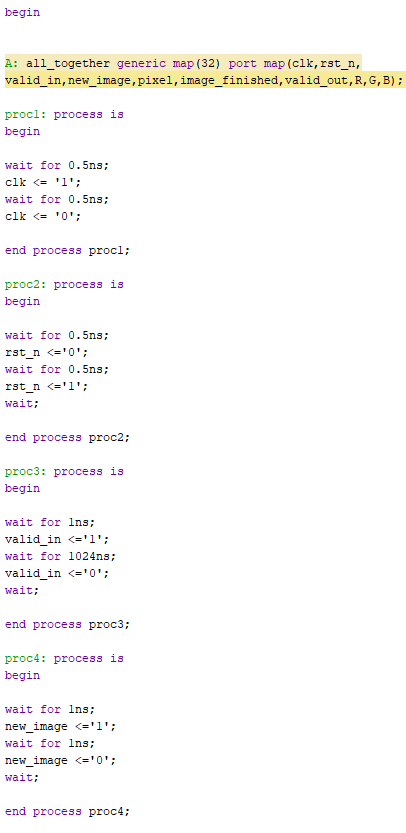


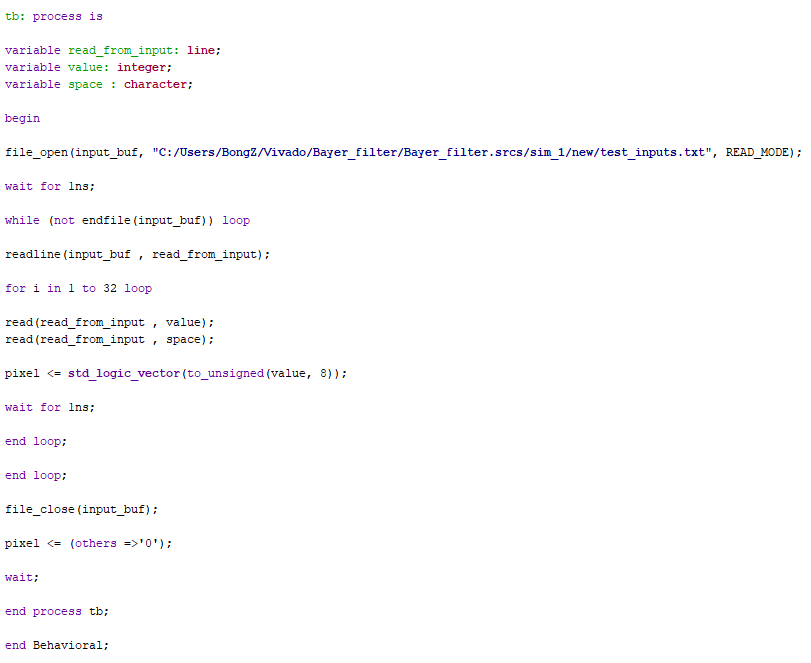




Testbench

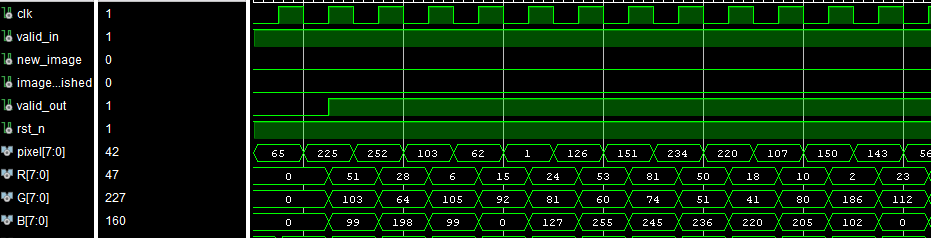






Ως τιμές εισόδου χρησιμοποιήθηκαν τα TEST INPUT DATA (32x32 bit) όπως δώθηκαν στο helios.

Simulation

Από τη στιγμή που το valid\_in γίνεται enable και έρχεται θετικός παλμός ρολογιού, έπειτα από μία καθυστέρηση latency (=2N+5, υπολογίζεται στο pdf ), αρχίζουν σε κάθε παλμό ρολογιού να παράγονται ορθά αποτελέσματα.